

Des news de RISC-V

David Sanchez

27 juin 2024

LCPQ (UT3 - CNRS)

C'est quoi RISC-V ?

Architecture de jeu d'instructions

RISC (Reduced instruction set computer)

32, 64 et 128bits

Spécifications ouvertes et libres

Projet initié en 2010 au sein de l'Université de Californie à Berkeley

Naissance de la fondation RISC-V en 2015 aux USA, puis
déménagement vers la Suisse en 2019

Alternatives

x86 et AMD64 : Intel / AMD

ARM : Qualcomm, Apple, Nuvia, Ampere, etc

POWER : IBM

SPARC : SUN, racheté par Oracle

MIPS : ah non ils font du RISC-V maintenant !

etc

Mais qui l'utilise ?

Des systèmes temps réels (FreeRTOS, etc)

Des systèmes embarqués (type Arduino, etc)

Des ordinateurs (travaux support Linux et *BSD)

Des disques durs (Western Digital)

OS mobile (port Android)

etc

24-28 juin 2024 à Munich

PC portable Framework sous RISC-V

Codéveloppée avec DeepComputing

CPU StarFive JH7110 (4 coeurs, 1.5GHz, 2Mo de cache L2)

Décodeur vidéo : H.265, H.264 4K @ 60fps or 1080p @ 30fps

Encodeur video : H.265/HEVC Encoder, 1080p @ 30fps

RAM : jusqu'à 8Go de DDR4/3, ou LPDDR4/3 à 2133/2800M

Pas très puissant (équivalent rpi3)

Développer un processeur souverain, à l'aide d'une boîte européenne, SiPearl

Partie processeur, mais aussi des accélérateurs pour les calculs de matrices et l'IA. Le tout disposé sur un SOC

Projet débuté en 2015, sur base ARM

Compilateur LLVM et bibliothèque OpenMP 5.0

Le futur supercalculateur exaflopique Alice Recoque (2026+) aura un accélérateur vectoriel basé sur RISC-V

Projet NanoKVM de Sipeed

Coût de 20-30 dollars l'unité



Scaleway Elastic Metal RV1

SoC T-Head 1520 (Alibaba) : CPU 4 coeurs à 1.85GHz, GPU, VPU, NPU (4TOPS@INT8 1GHz, Tensorflow, ONNX, Caffe)

16Go de RAM en LPDDR4

128Go de stockage eMMC

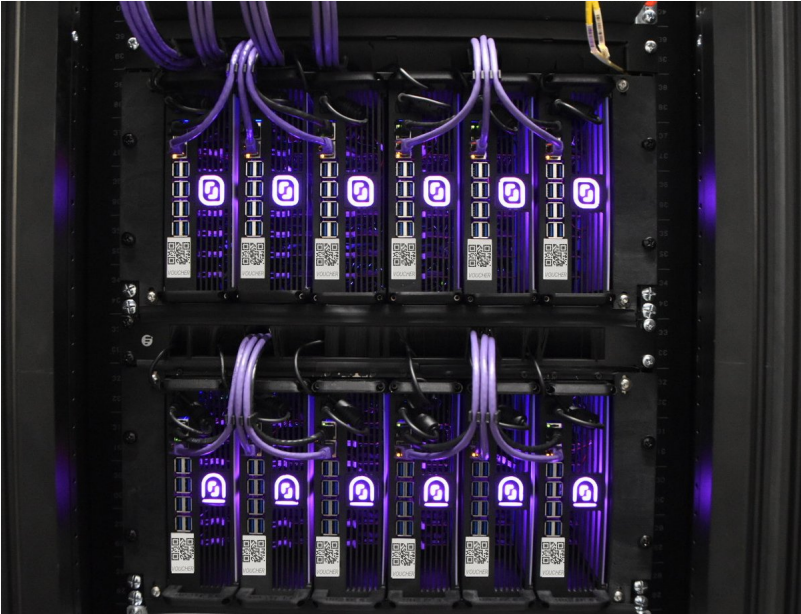
Consommation par coeur de 0.96W à 1.9W

100Mb de bande passante

672 serveurs par rack (52U)

Distributions GNU/Linux disponibles : Debian, Ubuntu, Alpine

Scaleway Elastic Metal RV1



Questions ?

Aura-t-on en premier : l'année de Linux sur desktop, RISC-V pour tous, ou les deux ?

Sources (1)

<https://fr.wikipedia.org/wiki/RISC-V>

[https://opensource.googleblog.com/2023/10/
android-and-risc-v-what-you-need-to-know.html](https://opensource.googleblog.com/2023/10/android-and-risc-v-what-you-need-to-know.html)

<https://riscv-europe.org/summit/2024/conference>

[https://frame.work/fr/fr/blog/
introducing-a-new-risc-v-mainboard-from-deepcomputing](https://frame.work/fr/fr/blog/introducing-a-new-risc-v-mainboard-from-deepcomputing)

[https://www.cnx-software.com/2022/08/29/
starfive-jh7110-risc-v-processor-specifications/](https://www.cnx-software.com/2022/08/29/starfive-jh7110-risc-v-processor-specifications/)

<https://www.european-processor-initiative.eu/>

Sources (2)

`https://sipearl.com/microprocesseur-europeen`

`https:`

`//fr.wikipedia.org/wiki/European_Processor_Initiative`

`https://labs.scaleway.com/fr/em-rv1/`